

?S PN=JP 11126978

S1 1 PN=JP 11126978

?T S1/5

1/5/1

DIALOG(R) File 352:DERWENT WPI

(c) 1999 Derwent Info Ltd. All rts. reserv.

012537733 \*\*Image available\*\*

WPI Acc No: 99-343839/199929

XPX Acc No: N99-258358

Multilayered wiring board for mounting semiconductor device etc., in communication apparatus - includes multilayered interconnection layer which electrically connects electric element and wiring layers

Patent Assignee: KYOCERA CORP. (KYOC )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 11126978	A	19990511	JP 97292766	A	19971024	H05K-003/46	199929 B

Priority Applications (No Type Date): JP 97292766 A 19971024

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 11126978	A		9			

Abstract (Basic): JP 11126978 A

NOVELTY - Photosensitive resin layer (56) is formed on the wiring substrate (55). On the surface of the wiring substrate, electric element (54) is mounted within void using solder. Multilayered interconnection layer (60) electrically connects the electric element and wiring layers (58). DETAILED DESCRIPTION - The insulated substrate (50) of the wiring substrate (55) is laminated with insulating layers containing thermosetting resin. Wiring layers (51) are formed on the surface and inside of the insulated substrate. Via-hole conductor (52) connects respective wiring layers. The void (53) is formed inside the insulated substrate.

USE - For mounting semiconductor device capacitor, resistor used in communication apparatus.

ADVANTAGE - Enhances package density of electric element by high densification of wiring. DESCRIPTION OF DRAWING(S) - The figure depicts sectional view indicating multilayered interconnection layer formation process. (50) Insulated substrate; (51, 58) Wiring layers; (52) Via-hole conductor; (53) Void; (54) Electric element; (55) Wiring core substrate; (56) Insulating layer; (60) Multilayered interconnection layer.

Dwg. 5/5

Title Terms: MULTILAYER; WIRE; BOARD; MOUNT; SEMICONDUCTOR; DEVICE;  
COMMUNICATE; APPARATUS; MULTILAYER; INTERCONNECT; LAYER; ELECTRIC;  
CONNECT; ELECTRIC; ELEMENT; WIRE; LAYER

Derwent Class: U14; V04

International Patent Class (Main): H05K-003/46

International Patent Class (Additional): H01L-023/12

File Segment: EPI

1/24 昭平

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-126978

(43) 公開日 平成11年(1999) 5月11日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 5 K 3/46

H 0 5 K 3/46

Q

B

N

H 0 1 L 23/12

H 0 1 L 23/12

N

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願平9-292766  
(22) 出願日 平成9年(1997)10月24日

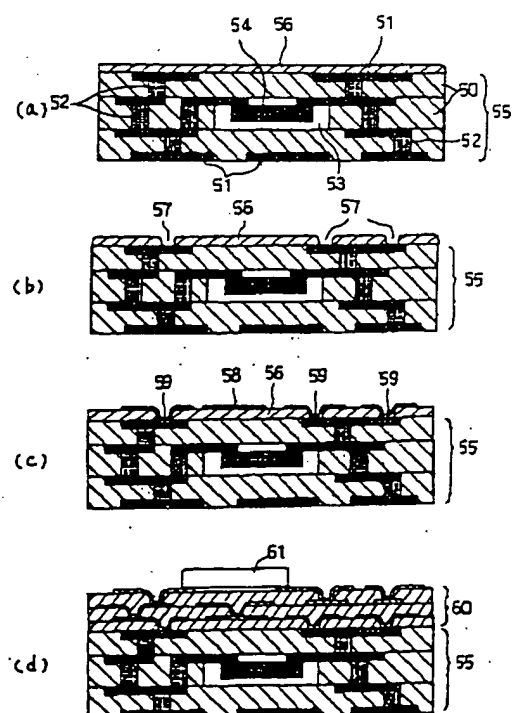
(71) 出願人 000006633  
京セラ株式会社  
京都府京都市伏見区竹田島羽殿町6番地  
(72) 発明者 藤崎 昭哉  
鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内  
(72) 発明者 林 桂  
鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内

(54) 【発明の名称】 多層配線基板

(57) 【要約】

【課題】 半導体素子、コンデンサ素子、抵抗素子などの電気素子を搭載し、小型化と、電気素子の実装密度を高めるとともに、配線回路層の高密度化が可能な多層配線基板を提供する。

【解決手段】 少なくとも熱硬化性樹脂を含む複数の絶縁層を積層してなる絶縁基板50と、絶縁基板50の表面および内部に形成された複数の配線回路層51と、望ましくは、金属粉末の充填によって形成され、配線回路層51間を接続するためのパイアホール導体52を具備するとともに、絶縁基板50内部に空隙部53が形成され、空隙部53内に電気素子54を実装収納してなる配線コア基板55の表面に、ビルドアップ法に基づき、感光性樹脂を含有する絶縁層56と、薄膜形成法により形成された配線回路層58とを順次積層してなる多層配線層60を形成する。



## 【特許請求の範囲】

【請求項1】少なくとも熱硬化性樹脂を含む複数の絶縁層を積層してなる絶縁基板と、該絶縁基板の表面および内部に形成された複数の配線回路層と、前記配線回路層間を接続するためのバイアホール導体を具備するとともに、前記絶縁基板内部に空隙部が形成され、該空隙部内に電気素子を実装収納してなる配線コア基板の表面に、感光性樹脂を含有する絶縁層と、配線回路層とを順次積層してなる多層配線層を形成し、且つ前記電気素子と前記多層配線層における配線回路層とを電気的に接続されてなることを特徴とする多層配線基板。

【請求項2】前記空隙部内にて、前記電気素子を金属箔からなる配線回路層に半田実装してなることを特徴とする請求項1記載の多層配線基板。

【請求項3】前記配線コア基板におけるバイアホール導体を金属粉末の充填によって形成してなることを特徴とする請求項1記載の多層配線基板。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば、多層配線基板及び半導体素子収納用パッケージなどに適し、特に絶縁基板内部に電気素子が内蔵されてなる多層配線基板に関するものである。

【0002】

【従来技術】近年、通信機器の普及に伴い、高速動作が求められる電子機器が広く使用されるようになり、さらにこれに伴って高速動作が可能なプリント配線基板が求められている。このような高速動作を行うためには、配線の高密度化が必要とされている。

【0003】このような高密度化を達成するための1つの手法として、ビルドアップ法が知られている。この方法は、例えば、銅箔のエッチング等の手段により配線が形成された両面銅張ガラスエポキシ等からなるコア基板の表面に、感光性樹脂を塗布して、露光現像してバイアホールを具備する絶縁層を形成した後、その表面に無電解銅メッキを施して、これをレジスト塗布、エッチング、レジスト除去によりバイアホール導体および配線回路層を形成する。そして、上記の感光性樹脂による絶縁層の形成と、バイアホール導体および配線回路層の形成を繰り返すことにより、微細化、多層化した後、さらに、ドリル等によりスルーホールを形成して、ホール内にメッキ層を形成して層間の配線回路層を接続するようにしたものである。

【0004】なお、この時に用いられる両面銅張ガラスエポキシ基板としては、ガラス織布または不織布内にエポキシ樹脂を含浸させたものが最も一般的に使用されている。

【0005】一方、電子機器は小型化が進んでいるが、近年携帯情報端末の発達や、コンピューターを持ち運んで操作する、いわゆるモバイルコンピューティングの普

及によってさらに小型、薄型且つ高精細の多層配線基板が求められる傾向にある。

【0006】従来のプリント配線基板では、プリプレグと呼ばれる有機樹脂を含む平板の表面に銅箔を接着した後、これをエッチングして微細な回路を形成し、これを積層した後、所望位置にマイクロドリルでスルーホールの穴明けを行い、そのホール内壁にメッキ法により金属を付着させてスルーホール導体を形成して各層間の電気的な接続を行っている。また最近では、絶縁層に対して形成したバイアホール内に金属粉末を充填してバイアホール導体を形成した後、他の絶縁層を積層して多層化した配線基板も提案されている。

【0007】また、従来のプリント配線基板に対して、半導体素子やコンデンサ素子、抵抗素子などを実装する場合には、配線基板の表面に形成された配線回路層に対してこれらの電気素子を半田等により実装し、実装した素子を樹脂によってモールドする方法、絶縁基板の表面に凹部を形成して、その凹部内に素子を収納して樹脂モールドしたり、蓋体によって凹部を気密に封止する方法がある。

【0008】

【発明が解決しようとする課題】しかしながら、バイアホール導体を金属粉末の充填によって形成する方法は、バイアホール導体の小径化が可能であるとともに、任意の位置にバイアホール導体を形成できる点で有利であり、また、ビルドアップ法により形成された多層配線層を具備した配線基板においても、薄い絶縁層と配線回路層により形成されることから、いずれも高密度配線が可能ではあっても、その配線基板に種々の電気素子を搭載する場合には、その多層配線基板の表面に実装するしかために、電気素子を搭載した配線基板の小型化には、自ずと限界があった。

【0009】従って、本発明は、半導体素子や電子部品（コンデンサ素子、抵抗素子、フィルター素子、発振素子など）の電気素子を搭載し、小型化と、電気素子の実装密度を高めるとともに、配線回路層の高密度化が可能なる多層配線基板を提供することを目的とするものである。

【0010】

【課題を解決するための手段】本発明者等は、電気素子を搭載した配線基板の小型化と高密度配線化について検討を重ねた結果、ビルドアップ法により高密度配線層を形成するにあたり、そのコア基板中に、電気素子を実装収納するための空隙部を形成し、その空隙部に電気素子を実装収納することにより、配線基板のより多くの電気素子を搭載した小型の配線基板を提供できることを知見し、本発明に至った。

【0011】即ち、本発明の多層配線基板は、少なくとも熱硬化性樹脂を含む複数の絶縁層を積層してなる絶縁基板と、該絶縁基板の表面および内部に形成された複数

の配線回路層と、前記配線回路層間を接続するためのバイアホール導体を具備するとともに、前記絶縁基板内部に空隙部が形成され、該空隙部内に電気素子を実装収納してなる配線コア基板の表面に、感光性樹脂を含有する絶縁層と、配線回路層とを順次積層してなる多層配線層を形成したことを特徴とするものであり、前記空隙部内にて、前記電気素子を金属箔からなる配線回路層に半田実装してなること、前記配線コア基板におけるバイアホール導体を金属粉末の充填によって形成してなることを特徴とするものである。

【0012】

【発明の実施の形態】

（配線コア基板の形成）図1は、本発明の多層配線基板における配線コア基板を作製するための第1の製造工程を説明するための図である。図1によれば、まず、図1(a)に示すように、熱硬化性樹脂を含む軟質（Bステージ状態）の第1の絶縁シート1を作製する。また、この絶縁シート1には、所望により厚み方向に貫通するスルーホールを形成し、そのスルーホール内に金属粉末を含む導体ペーストをスクリーン印刷や吸引処理しながら充填して、バイアホール導体2を形成する。また、この絶縁シート1の所定箇所に電気素子を収納するための空隙部3を形成する。

【0013】次に、図1(b)に示すように、絶縁シート1の表面に配線回路層4を形成するとともに、絶縁シート1の空隙部3に電気素子5を実装収納する。配線回路層4を形成する方法としては、1) 絶縁シート1の表面に金属箔を貼り付けるか、メッキにより全面に金属層を形成した後、エッチング処理して回路パターンを形成する方法、2) 絶縁シート1表面にレジストを形成して、メッキにより形成する方法、3) 転写シート表面に金属箔を貼り付け、金属箔をエッチング処理して回路パターンを形成した後、この金属箔からなる回路パターンを絶縁シート1表面に転写させる方法、4) 導体ペーストをスクリーン印刷法などにより回路パターンに印刷する方法等が挙げられる。

【0014】本第1の製造方法においては、配線回路層4と、配線回路層4に電気素子5を実装した構造物を転写フィルムから絶縁シート1に転写させる。その具体的な方法を図1(b1)～(b3)に示す。この方法によれば、例えば、樹脂や金属からなる転写フィルム6の表面に金属箔を接着した後、エッチングして配線回路層4を形成する（図1(b1)）。その後、その配線回路層4に、電気素子5を半田、TAB、ワイヤーボンディング等により実装する（図1(b2)）。

【0015】その後、電気素子5が実装された転写フィルム6を絶縁シート1に対して、電気素子5が絶縁シート1の空隙部3に収納されるように積層して圧着した後（図1(b3)）、転写フィルム6を剥がして、配線回路層4と電気素子5とを絶縁シート1に転写させて、図

1(b)に示すような電気素子5が空隙部3に実装収納された単層の配線層を形成することができる。この時、絶縁シート1は、未硬化または半硬化状態であり軟質であることから、配線回路層4を圧着することにより、絶縁シート1の表面に埋め込むことができるとともに、絶縁シート1に形成されたバイアホール導体2を緻密化することができる。

【0016】また、上記の例では、基本的には、電気素子5を実装する配線回路層4は、電気素子5とともに、同時に転写させるものであるが、電気素子5の実装に関与しない配線回路層（図示せず）は、電気素子5と配線回路層4とともに同時するか、または個別に前述した1)～4)のいずれの方法で形成してもよい。

【0017】また、空隙部3内に収納された電気素子5は、配線回路層4に実装された状態でエポキシ樹脂等により封止してもよい。

【0018】次に、上記のように空隙部3内に電気素子5が実装収納された絶縁シート1の上下面に、軟化状態（Bステージ状態）の第2および第3の絶縁シート7、8を積層圧着して、絶縁シート1、7、8中の熱硬化性樹脂が硬化するに十分な温度に加熱して一括して完全硬化させる。なお、絶縁シート7、8には、配線回路層9、10やバイアホール導体11、12を前述した方法により適宜形成してもよい。このようにして、図1(c)に示すように、絶縁基板13内に電気素子5を内蔵する多層配線コア基板14を形成することができる。

【0019】次に、本発明の第2の製造方法によれば、図2(a)に示すように、熱硬化性樹脂を含有する絶縁シート20に、適宜バイアホールを形成してそのホール内に金属粉末を含有する導体ペーストを充填してバイアホール導体21を形成し、さらにその表面又は裏面に配線回路層22を形成する。配線回路層22の形成は、前述した1)～4)のいずれの方法でもよい。

【0020】次に、図2(b)に示すように、配線回路層22の表面に、電気素子23を半田、フリップチップ、ワイヤーボンディングなどの方法で実装する。

【0021】その後、図2(c)に示すように、電気素子23が実装された絶縁シート20の表面に、空隙部24が形成された絶縁シート25を電気素子23が空隙部24に収納されるように位置合わせして積層する。なお、絶縁シート25には、前述した方法に基づき配線回路層26、バイアホール導体27が形成されていてもよい。

【0022】そして、図2(d)に示すように、空隙部24が形成された絶縁シート25を積層したその上に、空隙部24を密封するように、絶縁シート28を積層する。

【0023】また、この絶縁シート28には、前述した方法に基づき配線回路層29、バイアホール導体30が形成されていてもよい。

5

【0024】そして、最終的にこれらの積層物を絶縁シート20、25、28中の熱硬化性樹脂が硬化するに十分な温度に加熱して一括して完全硬化させることにより、絶縁基板31内に電気素子23を内蔵する多層配線コア基板32を形成することができる。

【0025】また、本発明によれば、上記第1および第2の電気素子の空隙部内への実装収納構造を基礎として、あらゆる形態の多層配線コア基板を作製することができる。例えば、図3に示すように、多層配線コア基板33の絶縁基板34内において、IC素子35やコンデンサ36等のなどの電気素子を収納する空隙部37、38を同一面内、または異なる層内に空隙部39を複数箇所形成して、これら複数の電気素子を実装収納させることができる。

【0026】上記の第1および第2の製造方法によって作製される配線コア基板によれば、後述するビルドアップ法により多層配線層を形成するにあたり、その多層配線層形成面におけるコア基板の配線回路層は、コア基板の絶縁基板の表面に埋設されており、その表面が平坦であることが望ましい。これは、多層配線層を形成するコア基板表面に配線回路層が突出（載置）した構造では、コア基板表面の凹凸が多層配線層の平坦度を低下させてしまう結果、多層配線層における微細な配線回路層の形成を阻害する要因となるためである。また、コア基板の多層配線層形成面における配線回路層の表面粗さ（Ra）はAFM法による測定で0.01 $\mu$ m以上、特に0.02 $\mu$ m以上であることが多層配線層との密着性および電氣的接続の信頼性を高める上で望ましい。

【0027】このような配線回路層が絶縁基板表面に埋設された構造は、例えば、未硬化状態の絶縁シート表面に金属箔からなる配線回路層を重ねて圧力を印加することにより、強制的に配線回路層を埋設することができる。上記の第1および第2の製造方法において、用いられる熱硬化性樹脂を含有する絶縁シートは、熱硬化性有機樹脂、または熱硬化性有機樹脂とフィラーなどの組成物を混練機や3本ロールなどの手段によって十分に混合し、これを圧延法、押し出し法、射出法、ドクターブレード法などによってシート状に成形する。そして、所望により熱処理して熱硬化性樹脂を半硬化させる。半硬化には、樹脂が完全硬化するに十分な温度よりもやや低い温度に加熱する。

【0028】そして、この状態の絶縁層に対するスルーホール（パイアホール）および空隙部の形成は、ドリル、パンチング、サンドブラスト、あるいは炭酸ガスレーザー、YAGレーザー、及びエキシマレーザー等の照射による加工など公知の方法が採用される。

【0029】なお、絶縁シートを形成する熱硬化性樹脂としては、絶縁材料としての電氣的特性、耐熱性、および機械的強度を有する熱硬化性樹脂であれば特に限定されるものでなく、例えば、アミド樹脂、フェノール樹

6

脂、エポキシ樹脂、イミド樹脂、フッ素樹脂、フェニレンエーテル樹脂、ビスマイレイドトリアジン樹脂、ユリア樹脂、メラミン樹脂、シリコン樹脂、ウレタン樹脂、不飽和ポリエステル樹脂、アリル樹脂等が、単独または組み合わせて使用できる。

【0030】また、上記の絶縁シート1中には、絶縁基板あるいは配線基板全体の強度を高めるために、有機樹脂に対してフィラーを複合化させることもできる。有機樹脂と複合化されるフィラーとしては、SiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、ZrO<sub>2</sub>、TiO<sub>2</sub>、AlN、SiC、BaTiO<sub>3</sub>、SrTiO<sub>3</sub>、ゼオライト、CaTiO<sub>3</sub>、ほう酸アルミニウム等の無機質フィラーが好適に用いられる。また、ガラスやアミド樹脂からなる不織布、織布など上記樹脂を含浸させて用いてもよい。なお、有機樹脂とフィラーとは、体積比率で15:85～50:50の比率で複合化されるのが適当である。

【0031】これらの電気素子を収納するための空隙部を形成する絶縁シートは、上記の種々の材質の中でも空隙部をパンチング又はレーザーで容易に加工できる点から、エポキシ樹脂、イミド樹脂、フェニレンエーテル樹脂と、シリカまたはアミド不織布との混合物であることが最も望ましい。

【0032】一方、パイアホール導体2に充填される金属ペーストは、銅粉末、銀粉末、銀被覆銅粉末、銅銀合金などの、平均粒径が0.5～50 $\mu$ mの金属粉末を含む。

【0033】金属粉末の平均粒径が0.5 $\mu$ mより小さいと、金属粉末同士の接触抵抗が増加してスルーホール導体の抵抗が高くなる傾向にあり、50 $\mu$ mを越えるとスルーホール導体の低抵抗化が難しくなる傾向にある。

【0034】また、導体ペーストは、前述したような金属粉末に対して、前述したような結合用有機樹脂や溶剤を添加混合して調製される。ペースト中に添加される溶剤としては、用いる結合用有機樹脂が溶解可能な溶剤であればよく、例えば、イソプロピルアルコール、テルピネオール、2-オクタノール、ブチルカルビトールアセテート等が用いられる。

【0035】上記の導体ペースト中の結合用有機樹脂としては、前述した種々の絶縁シートを構成する有機樹脂の他、セルロースなども使用される。この有機樹脂は、前記金属粉末同士を互いに接触させた状態で結合するとともに、金属粉末を絶縁シートに接着させる作用をなしている。この有機樹脂は、金属ペースト中において、0.1乃至40体積%、特に0.3乃至30体積%の割合で含有されることが望ましい。これは、樹脂量が0.1体積%よりも少ないと、金属粉末同士を強固に結合することが難しく、低抵抗金属を絶縁層に強固に接着させることが困難となり、逆に40体積%を越えると、金属粉末間に樹脂が介在することになり粉末同士を十分に接

触させることが難しくなり、スルーホール導体の抵抗が大きくなるためである。

【0036】配線回路層としては、銅、アルミニウム、金、銀の群から選ばれる少なくとも1種、または2種以上の合金からなることが望ましく、特に、銅、または銅を含む合金が最も望ましい。また、場合によっては、導体組成物として回路の抵抗調整のためにNi-Cr合金などの高抵抗の金属を混合、または合金化してもよい。さらには、配線層の低抵抗化のために、前記低抵抗金属よりも低融点の金属、例えば、半田、錫などの低融点金属を導体組成物中の金属成分中に2〜20重量%の割合で含んでもよい。

【0037】上記配線回路層と絶縁シートとの密着強度を高める上では、絶縁シートの配線回路層の形成箇所及び／又は転写フィルム表面の配線回路層表面の表面を0.1μm以上、特に0.3μm〜3μm、最適には0.3〜1.5μmに粗面加工することが望ましい。また、バイアホール導体の両端を金属箔からなる配線回路層によって封止する上では、配線回路層の厚みは、5〜40μmが適当である。

【0038】また、本発明によれば、電気素子を内蔵する上記配線コア基板40には、図4に示すように、電気素子41を収納する空隙部42近傍の絶縁層43中に、熱伝導性に優れた金属部材や無機質部材からなる放熱体44を介装し、その少なくとも一端をコア基板40の側面から突出させることにより、電気素子41から発生して熱を放熱体44を経由して、コア基板40の系外に放出させることも可能である。

【0039】(多層配線層の形成) 次に、本発明によれば、上記のようにして作製した配線コア基板の表面に、ビルドアップ法により感光性樹脂を含有する絶縁層と、配線回路層とを順次積層して多層配線層を形成する。そこで、具体的な多層配線層の形成方法について図5をもとに説明する。

【0040】まず、図5(a)に示すように、上述したようにして作製され、少なくとも熱硬化性樹脂を含む複数の絶縁層を積層してなる絶縁基板50と、絶縁基板50の表面および内部に形成された複数の配線回路層51と、配線回路層51間を接続するためのバイアホール導体52を具備するとともに、絶縁基板50内部に空隙部53が形成され、空隙部53内に電気素子54を実装収納してなる配線コア基板55の表面に、感光性樹脂からなる絶縁層56を一面に形成する。

【0041】なお、配線コア基板55の表面に配線回路層51が形成されていない場合には、絶縁層56を形成する前に、コア基板55表面に、周知の方法で配線回路層51を形成する。コア基板55表面に配線回路層51を形成するには、前述したような1)〜4)の方法などが採用される。

【0042】なお、絶縁層56の形成にあたっては感光

性樹脂をカーテンコート法やスピンコート法により塗布する方法が、均一な厚さで簡易に形成できることから好適に採用される。絶縁層を形成する樹脂としては、周知の感光性樹脂が用いられ、例えば、感光性を有するポリイミド樹脂、エポキシ樹脂、エポキシアクリレート樹脂、ポリエステル樹脂、ウレタンアクリレート樹脂、ビスマレイドトリアジン(BT)樹脂などが用いられ、絶縁層56の厚みとしては、40〜100μmが好適である。

【0043】次に、図5(b)に示すように、絶縁層56に対して、露光、現像を施し、バイアホールを形成する部分の絶縁層56を除去する。このように露光、現像工程で形成することにより、微細なバイアホール57を得ることができる。

【0044】次に、図5(c)のように、絶縁層56上に無電解メッキ、電解メッキ、蒸着法、スパッタリング法、イオンプレーティング法などの薄膜形成法によって一面に金属層を形成した後、フォトリソ等塗布し、露光、現像し、不要な金属層をエッチングするなどの、周知の方法によって配線回路層58およびバイアホール導体59を形成する。なお、エッチングによる配線回路層58およびバイアホール導体59の形成は、サブトラクティブ法及びアディティブ法のいずれでもよい。この配線回路層は、銅、銀、金、アルミニウム、ニッケルなどの低抵抗金属またはそれらを含む合金により形成することが望ましい。

【0045】そして、この配線回路層58が形成された絶縁層56の表面に、上記図5(a)、図5(b)および図5(c)で説明したのと同様な方法により、感光性樹脂からなる絶縁層形成、絶縁層形成の露光、現像によるバイアホール形成、薄膜形成法による配線回路層およびバイアホール導体形成を、繰り返すことにより、図5(d)に示すような、任意の層数からなる多層配線層60を形成することができる。そして、必要に応じて、多層配線層60の最表面にコンデンサ、半導体素子、抵抗素子などの電気素子61を実装する。

【0046】また、適宜、多層配線層60における最表面の配線回路層を薄膜形成法により形成する前、または形成後に、配線コア基板55の表面に多層配線層60が形成された多層配線基板に対して、レーザー照射やマイクロドリル等により、多層配線層60から配線コア基板55を貫通するスルーホール用の貫通孔を形成し、その貫通孔内壁に、最表面の配線回路層の形成と同時に、または後工程として、前記薄膜形成法により導体を被着形成してスルーホール導体を形成してもよい。その場合、スルーホール導体は配線回路層やバイアホール導体による高密度配線形成の障害とならないためには、できる限り小さい孔径であることが望ましい。

【0047】なお、上記の多層配線層60は、配線コア基板55の片面のみならず、配線コア基板55の両面に

形成しても何ら差し支えない。

【0048】このようにして、本発明によれば、従来の積層方法を用いて、複数の絶縁層が積層されてなる配線基板内部に電気素子を実装収納することができ、且つその配線基板をコア基板とし、ビルドアップ法により多層配線層を形成することにより、電気素子を高密度に実装することができ、且つ高密度の多層配線化を図ることができる。

【0049】

【実施例】

実施例1

(配線コア基板の作製)

(1) アラミド樹脂の不織布に対してイミド樹脂を50体積%の割合で含浸した厚さ100 $\mu$ mのプリブレグに、炭酸ガスレーザーで直径0.1mmのバイアホールを形成し、そのホール内に銀をメッキした銅粉末を含む銅ペーストを充填してバイアホール導体を形成した。また、このプリブレグにレーザーを用いて半導体素子や電子部品を設置するための12mm $\times$ 12mmの大きさの空隙部を形成し、それらを収納する電子部品の厚さ相当

以上となる厚みに積層した。

【0050】(2) 一方、イミド樹脂50体積%、シリカ粉末50体積%の割合となるように、ワニス状態の樹脂と粉末を混合しドクターブレード法により、厚さ75 $\mu$ mの絶縁シートを作製し、その絶縁シートにパンチングで直径0.1mmのバイアホールを形成し、そのホール内に銀をメッキした銅粉末を含む銅ペーストを充填してバイアホール導体を形成した。

【0051】(3) また、ポリエチレンテレフタレート(PET)樹脂からなる転写シートの表面に接着剤を用いて、厚さ12 $\mu$ m、表面粗さ0.8 $\mu$ mの銅箔を一面に接着した。そして、フォトリソスト(ドライフィルム)を塗布し露光現像を行った後、これを塩化第二鉄溶液中に浸漬して非パターン部をエッチング除去して配線回路層を形成した。なお、作製した配線回路層は、線幅が20 $\mu$ m、配線と配線との間隔が20 $\mu$ mの微細なパターンである。その後、この配線回路層にIC素子をTAB実装し、実装したIC素子をポリイミド樹脂で封止した。

【0052】(4) そして、(1)で作製した空隙部を有するプリブレグに対して、(2)でIC素子を実装した転写シートを、プリブレグの空隙部にIC素子が収納されるように位置決めして50kg/cm<sup>2</sup>の圧力を加えて圧着した後、転写フィルムを剥離して、配線回路層とIC素子をプリブレグに転写した。

【0053】(5) その後、(2)で作製した絶縁シートの表面にも(3)と同様に、金属箔からなる配線回路層を形成したPET樹脂フィルムから、配線回路層を転写させた。

【0054】(6) 空隙部にIC素子が収納されたプリ

ブレグを中心に、上下に配線回路層およびバイアホール導体が形成されたプリブレグを1層ずつ積層し、さらにその上下面に(5)のようにして配線回路層が転写された絶縁シートを上下各2層ずつ積層した。なお空隙部に対峙する下層のプリブレグの一部に銅からなる放熱板を介装するための溝を形成し、この溝内に放熱体を設置した。そしてこれらの積層物を50kg/cm<sup>2</sup>の圧力で圧着し、200℃で1時間加熱して完全硬化させて多層配線コア基板を作製した。

10 【0055】(多層配線層の形成)

(7) 上記のようにして作製した多層配線コア基板の両面に感光性エポキシ樹脂からなる絶縁材料を一面に塗布し、100℃で加熱して予備硬化した後、露光、現像により絶縁層の一部を除去して、コア基板表裏の絶縁層にバイアホールを形成した。

【0056】(8) 次に、絶縁層の配線回路層形成箇所およびバイアホール導体形成箇所の絶縁層表面を触媒処理した後、無電解メッキ法により銅を析出させて、フォトリソストを全面に塗布し、露光、現像し、不要部分の銅をエッチング除去して絶縁層の表面に配線回路層およびバイアホール導体を形成した。

【0057】(9) さらに、上記(7)～(8)の工程を繰り返して施し、配線回路層6層の多層配線層を形成した。

【0058】(10) そして、多層配線層の表面に、コンデンサ素子および抵抗素子を半田実装して、本発明の多層配線基板を作製した。

【0059】得られた多層配線基板に対して、多層配線コア基板における配線回路層やバイアホール導体の形成付近およびIC素子と配線回路層との接続部分を観察した結果、IC素子と配線回路層、バイアホール導体と配線回路層とは良好な接続状態であり、各配線間の導通テストを行った結果、配線の断線も認められなかった。

【0060】また、コア基板表面に形成した多層配線層とIC素子との接続も良好であり、IC素子の動作においても何ら問題はなかった。得られた多層配線基板を湿度85%、温度85℃の高温多湿雰囲気中に100時間放置したが、目視で判別できる程度の変化は生じていなかった。

40 【0061】実施例2

(1) アラミド樹脂の不織布に対してポリアミノビスマレイミド樹脂55体積%の割合で含浸した厚さ100 $\mu$ mのプリブレグAに炭酸ガスレーザーにより直径0.1mmのバイアホールを形成しそのホール内に粒径約5 $\mu$ mの銀をメッキした銅粉末からなる銅ペーストを充填した。

【0062】(2) また、ポリエチレンテレフタレート(PET)樹脂からなる転写シートの表面に接着剤を用いて、厚さ18 $\mu$ m、表面粗さ0.7 $\mu$ mの銅箔を一面に接着した。そして、フォトリソスト(ドライフィル

ム)を塗布し露光現像を行った後、これを塩化第二鉄溶液中に浸漬して非パターン部をエッチング除去して配線回路層を形成した。なお、作製した配線回路層は、線幅が $40\mu\text{m}$ 、配線と配線との間隔が $40\mu\text{m}$ の微細なパターンである。

【0063】(3)そして、上記プリプレグAの表面に、(2)で配線回路層が形成された転写シートを、位置決めして $50\text{kg}/\text{cm}^2$ の圧力を加えて圧着した後、転写フィルムを剥離して、配線回路層をプリプレグA表面に転写した。

【0064】(4)そして、プリプレグAの表面の配線回路層にチップ抵抗素子を半田実装した。

【0065】(5)その後、チップ抵抗素子を実装したプリプレグAの表面に、(1)と同様にして作製したプリプレグBに対して、(1)(2)と同様にしてバイアホール導体および配線回路層を形成するとともに、チップ抵抗素子を収納するための空隙部をレーザー加工により形成し、これをチップ抵抗素子が搭載されたプリプレグAのIC素子実装面にて、プリプレグBの空隙部にチップ抵抗素子が収納される位置にて積層し、 $30\text{kg}/\text{cm}^2$ の圧力で積層圧着した。

【0066】(6)さらに、(1)と同様にして作製したプリプレグCに対して、(1)(2)と同様にしてバイアホール導体および配線回路層を形成し、プリプレグBの空隙部に対向する面に銅からなる放熱板を収納するための溝をレーザー加工し、その溝内に一端がプリプレグの端面から突出するように、放熱板を設置した。そして、このプリプレグCをプリプレグBの表面に $30\text{kg}/\text{cm}^2$ の圧力をもって積層圧着した。

【0067】(7)一方、ポリアミノビスマレイミド樹脂50体積%、シリカ粉末50体積%の割合となるように、ワニス状態の樹脂と粉末を混合しドクターブレード法により、厚さ $75\mu\text{m}$ の絶縁シートを作製し、その絶縁シートにパンチングで直径 $0.1\text{mm}$ のバイアホールを形成し、そのホール内に銀をメッキした銅粉末を含む銅ペーストを充填してバイアホール導体を形成し、さらに(2)(3)と同様にして絶縁シートの表面に配線回路層を形成した。

【0068】(8)(7)により形成した4層の絶縁シートを上記プリプレグA、B、Cからなる積層体の上下面にそれぞれ2層ずつ積層した後、 $50\text{kg}/\text{cm}^2$ の圧力で圧着し、 $200^\circ\text{C}$ で1時間加熱して完全硬化させてコア基板を作製した。

【0069】・多層配線層の形成

(9)上記のようにして作製した多層配線コア基板の両面に対して、実施例1の(7)～(9)に従ってビルドアップ法により、配線回路層6層の多層配線層を形成した。

【0070】(10)そして、多層配線層の表面に、コ

ンデンサ素子およびIC素子を半田実装して、本発明の多層配線基板を作製した。

【0071】得られた多層配線基板に対して、多層配線コア基板における配線回路層やバイアホール導体の形成付近およびチップ抵抗素子と配線回路層との接続部分を観察した結果、抵抗素子と配線回路層、バイアホール導体と配線回路層とは良好な接続状態であり、各配線間の導通テストを行った結果、配線の断線も認められなかった。

【0072】また、コア基板表面に形成した多層配線層とチップ抵抗素子との接続も良好であり、チップ抵抗素子の動作においても何ら問題はなかった。得られた多層配線基板を湿度85%、温度 $85^\circ\text{C}$ の高湿多湿雰囲気中に100時間放置したが、目視で判別できる程度の変化は生じていなかった。

【0073】

【発明の効果】以上詳述した通り、本発明の多層配線基板は、ビルドアップ法により高密度配線層を形成するためのコア基板内に、半導体素子、コンデンサ素子、抵抗素子などの電気素子を収納することから、多層配線基板表面のみならず、基板内部まで電気素子を実装することができる結果、配線基板における電気素子の高密度実装と同時に、高密度配線化、さらには配線基板の小型化を図ることができる。

【図面の簡単な説明】

【図1】本発明の多層配線基板における配線コア基板を製造するための一方法を説明するための工程図である。

【図2】本発明の多層配線基板における配線コア基板を製造するための他の方法を説明するための工程図である。

【図3】本発明の多層配線基板における配線コア基板の他の構造を説明するための概略断面図である。

【図4】本発明の多層配線基板における配線コア基板のさらに他の構造を説明するための概略断面図である。

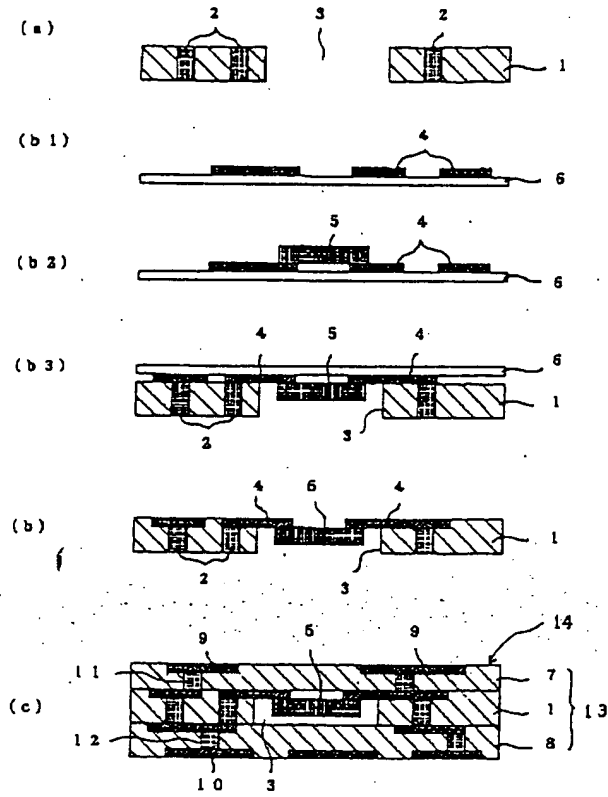
【図5】本発明の多層配線基板における多層配線層を形成するための方法を説明するための工程図である。

【符号の説明】

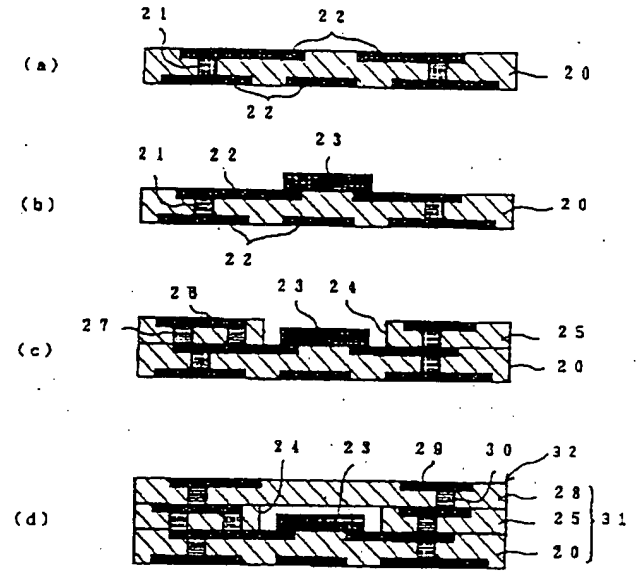
- 50 絶縁基板
- 51 配線回路層
- 52 バイアホール導体
- 53 空隙部
- 54 電気素子
- 55 配線コア基板
- 56 絶縁層
- 57 バイアホール
- 58 配線回路層
- 59 バイアホール導体
- 60 多層配線層
- 61 電気素子



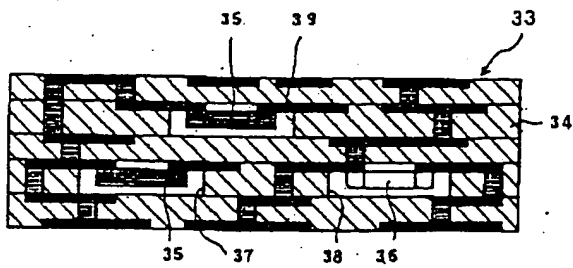
【図1】



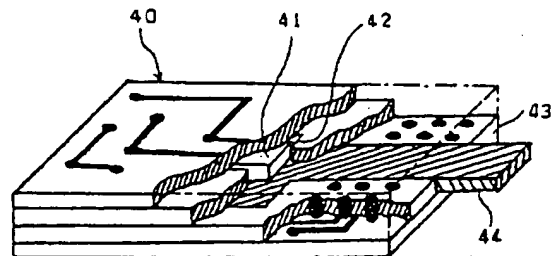
【図2】



【図3】



【図4】



【図5】

